

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-160170

(43)Date of publication of application : 21.08.1985

(51)Int.Cl.

H01L 29/78

H01L 27/12

(21)Application number : 59-015426

(71)Applicant : SEIKO INSTR & ELECTRONICS LTD

(22)Date of filing : 31.01.1984

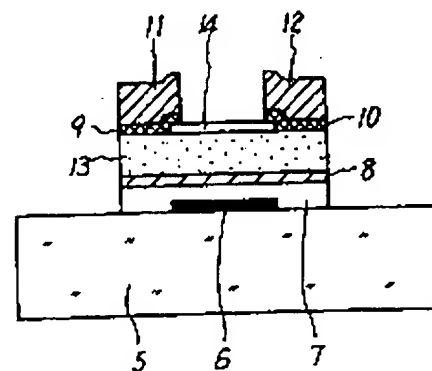
(72)Inventor : YAMAZAKI TSUNEO

(54) THIN FILM TRANSISTOR

(57)Abstract:

PURPOSE: To enable formation of a thin film transistor on an insulating substrate by comprising a semiconductor layer by lamination of a thin semiconductor layer doped with impurity and a thick semiconductor layer an impurity concentration of which is lower than the thin semiconductor layer and of inverse conductive type.

CONSTITUTION: On an insulating substrate 5, a gate electrode 6, a gate insulating film 7, the first semiconductor layer 8, the second semiconductor layer 13, N⁺ amorphous Si layers 9 and 10 for source and drain contacts and source and drain electrodes 11 and 12 are formed. The layer 8 consists of N type amorphous Si or the like of 150 μ m; thick or under and the layer 13 consists of non-doped amorphous Si of 1,000 μ m; thick or above. The thin film transistor having a channel part of such structure can be formed on an insulating substrate and it is capable of flowing of a large on-state current and high-speed operation. Accordingly, it is possible to realize the circuit connection in which a display part and a drive circuit are formed on the same surface at low cost.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 昭60-160170

⑬ Int.Cl.⁴

H 01 L 29/78
27/12

識別記号

庁内整理番号

8422-5F
8122-5F

⑭ 公開 昭和60年(1985)8月21日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 薄膜トランジスタ

⑯ 特 願 昭59-15426

⑰ 出 願 昭59(1984)1月31日

⑱ 発 明 者 山 崎 恒 夫 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式会社内

⑲ 出 願 人 セイコー電子工業株式会社 東京都江東区亀戸6丁目31番1号

⑳ 代 理 人 弁理士 最 上 務

明 細 書

1. 発明の名称 薄膜トランジスタ

2. 特許請求の範囲

(1) ゲート電極、ゲート絶縁膜、半導体層、ソース電極、ドレイン電極よりなり、半導体層は、厚さ 150\AA 以下の不純物をドーピングした第一の半導体層と、不純物濃度が上記第一の半導体層よりも少いかまたは逆の導電型の厚さ 1000\AA 以上の第二の半導体層が積層されていることを特徴とする、絶縁性基板上に形成された、電界効果型の薄膜トランジスタ。

(2) 第一の半導体層と第二の半導体層は、非晶質シリコンであることを特徴とする特許請求の範囲第一項記載の薄膜トランジスタ。

(3) 第一の半導体層と第二の半導体層は、微結晶化シリコンであることを特徴とする特許請求の範囲第一項記載の薄膜トランジスタ。

3. 発明の詳細な説明

本発明は、オン電流が大きくとれ、動作速度の速い薄膜トランジスタの実現に関する。

近年、ガラスなどの絶縁性基板上に形成できる薄膜トランジスタの開発が各所で盛んである。絶縁性基板上に、薄膜トランジスタからなるスイッチ素子をアレイ状に設けたアクティブマトリクス型の液晶、エレクトロクロミック、エレクトロルミネッセンスなどの表示装置は、画面間のクロストークが無く、高速動作が可能なのでTV画像などの表示を可能にする。薄膜トランジスタに用いる半導体膜としては、プラズマCVD法などによつて、ガラスなどの基板上に低温で大面積かつ安価に形成できる水素化非晶質シリコン膜やフッ素化非晶質シリコン膜などが有望とされている。

しかし、一方これら非晶質シリコン膜で形成した薄膜トランジスタで得られる電界効果移動度は $\sim 0.11\text{ cm}^2/\text{Vs}$ なので、 10 V 程度の動作電圧で 10^{-8} A 以上の電流を得られるトランジスタの実現は困難である。この為、動作周波数が数 10 kHz 以上の回路を非晶質シリコンのトランジスタで

実現するのは困難とされていた。非晶質シリコン薄膜トランジスタは、アクティブマトリクス型表示装置の画素毎のスイッチトランジスタとしては十分な動作速度を有するものの、数MHz以上の動作周波数を要求される、TV画像表示用の周辺回路の適用には不十分な動作速度である。従来の方法では、この種の周辺回路は単結晶シリコン上に形成したMOSFETを用い、表示装置との間を数百ヶ所の端子で接続してアクティブマトリクス型表示装置を駆動していた。それ故、従来のアクティブマトリクス型表示装置は

- (1) 回路接続の費用が安価にできない
- (2) 周辺回路の部分をコンパクトにできない
- (3) 実装後の信頼性が劣る

などの欠点を持っていた。

非晶質シリコン薄膜トランジスタは、ガラス基板上に形成した、光などのセンサーとしても応用が期待されているが、この場合にも周辺回路との接続の問題は表示装置の事情と同様である。

本発明の目的は、動作速度の速い薄膜トランジ

スタを実現することにより、上記のごとき従来の欠点を無くして、同一絶縁性基板上に、表示装置あるいは、センサーとそれらの周辺回路を同時に設ける手段を提供することである。

以下実施例に基づいて、図面により本発明を説明する。第1図(a)は、本発明の電界効果型の薄膜トランジスタのチャネル領域の断面での、フラットバンド状態のバンド構造を示す図である。第1図(a)で、1はゲート電極金属、2はゲート絶縁膜、3は禁制帯巾 E_g 、厚さ 150\AA 以下の n 型にドーパされた第一の半導体層、4は3と同じ禁制帯巾 E_g で、厚さ 1000\AA 以上の、不純物のドーパ量が3よりも少い第二の半導体層である。 E_{c1} 、 E_{v1} はそれぞれ第一の半導体層3の伝導帯端、価電子帯端のエネルギー。 E_{c2} 、 E_{v2} はそれぞれ第二の半導体層の、伝導帯端、価電子帯端のエネルギーである。 E_{F0} はゲート電極1のフェルミレベル、 E_F は半導体層3、4に共通したフェルミレベルである。1のゲート電極金属の材料の一例としては、スパッタ法、真空蒸着法などで形成

されるアルミニウム、クロム、モリブデン等が用いられ、厚さは通常 $500\sim 3000\text{\AA}$ である。2のゲート絶縁膜は、スパッタ法、真空蒸着法、プラズマCVD法などで形成される、二酸化シリコン、窒化シリコン等が用いられ、厚さは通常 $500\sim 3000\text{\AA}$ である。本発明の薄膜トランジスタはガラスなどの単結晶ではない絶縁性基板上に形成されるので、3および4の半導体膜としては、プラズマCVD法、光CVD法などで、 500\AA 以下の基板上に形成できる、非晶質あるいは微結晶化半導体膜が用いられる。特に非晶質シリコンはプラズマCVD法、光CVD法などで形成すると、禁制帯内の局在単位密度が $10^{17}/\text{cm}^3$ 以下以下の良好な半導体膜が得られることが知られているので本発明に用いる半導体膜として通している。微結晶または非晶質シリコンは、リン、ボロン等の不純物をドーパすることにより n 型にも p 型にも導電の型を変えられることが知られている。更にノンドーパの膜は真性に近い半導体の性質が得られることも知られている。

次に、本発明の薄膜トランジスタの動作について説明する。第1図(b)は、第1図(a)の薄膜トランジスタのゲート電極に正電圧を加えてオン状態としたときのバンド図を示す。半導体層3の伝導帯に誘起された電子は、厚さ 150\AA 以下の非常に薄い領域に閉じ込められる。この為、半導体層3の厚さ方向の電子の運動は量子化され、半導体層3の伝導帯の電子は二次元電子ガスとして振る舞う。二次元電子ガスの状態密度は、伝導帯端では0で、一定のエネルギー ΔE だけ上の所から有限の0で無い値をとり、二次元電子ガス化していない場合と比べ大きな自由電子密度を得る。更に、非晶質物質中の伝導帯を流れる電子は伝導帯からのエネルギー差が大きな程、不規則な原子配列によるポテンシャルから受ける影響が小さくなり大きなモビリティ($>10^4/\text{V}\cdot\text{sec}$)を有する。こうして、電子濃度とモビリティが大きな第1図(b)のトランジスタは大きな電流を流せるので高速で動作する。室温付近で二次元電子ガスが得られる条件は、第1図(b)で $\Delta E + \Delta E_0$ が 0.3 eV 以

上で、半導体層3の厚さが 150Å 以下と薄い場合である。以上の説明のごとく本発明による、チャンネル部の構造を持つ薄膜トランジスタは、ゲート電圧の印加により、チャンネルのコンダクタンスを制御でき、かつ大きなオン電流が流れ、高速で動作する。以下具体的な構造で本発明の実施例を示す。

第2図は、本発明の薄膜トランジスタの一実施例のチャンネル部の断面の構造を示す図である。第2図で5はガラスなどの絶縁性基板、6はアルミニウム、クロム等のゲート電極、7は二酸化シリコン、チタ化シリコン等よりなるゲート絶縁膜、8は n 型にドーパされた非晶質シリコン等よりなる厚さ 150Å 以下の第1の半導体層、9、10はそれぞれソース、ドレイン接触のための n^+ 非晶質シリコン層、11、12はそれぞれソース、ドレイン電極、13は不純物をドーパしていない第2の、厚さ 1000Å 以上の非晶質シリコン層、14は保護用絶縁層で、二酸化シリコン、チタ化シリコン等よりなる。第1及び第2非晶質シリコン層はプラ

ズマロVD法、光ロVD法などで形成することができ、水素、フッ素等を含んでいても良い。また非晶質でなく、微結晶化シリコン(プラズマロVD法等で形成した)を第1及び第2の半導体層としても良い。

第3図は、本発明の薄膜トランジスタの他の実施例の断面構造を示す図である。第3図で15はガラスなどの絶縁性基板、16はゲート電極、17はゲート絶縁膜、18は非晶質シリコンよりなる厚さ 150Å 以下の第1の半導体層、19、20はそれぞれソース、ドレイン電極、21は厚さ 1000Å 以上のノンドープ又は p 型の非晶質シリコン層、22は保護用絶縁層である。本実施例では、ソース、ドレインが、半導体層18と絶縁層17の界面に形成されるチャンネルと同じ平面上にあるので、ソース、ドレイン部で、第3図の場合には現われる、第2の半導体層の抵抗を除くことができ、より高性能のトランジスタを実現できる。半導体層21が p 型の場合は、第1図(a)で、 ΔE_c がより大きな場合として考えることができる。

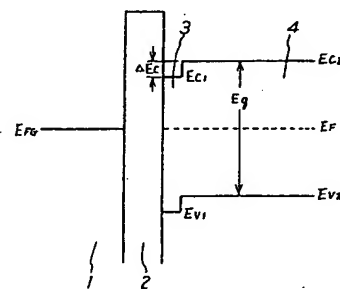
以上に記した本発明の薄膜トランジスタは、ガラスなどの絶縁性基板上に形成でき、高速の動作が可能なので、同一基板上に表示部と駆動回路を形成した、回路接続が安価で、コンパクト、信頼性の高いアクティブマトリクス型表示装置や、同一基板上にセンサーと駆動回路を有するデバイスの実現を可能にした。

4. 図面の簡単な説明

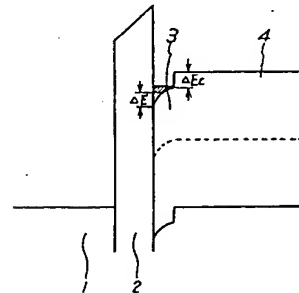
第1図(a)、第1図(b)は本発明の実施例のバンド構造を示す図、第2図、第3図は本発明の実施例の断面構造を示す図である。

1...ゲート電極、2...ゲート絶縁膜、3...半導体層、4...ガラス基板、5...ゲート電極、6...ゲート絶縁膜、7...半導体層、8... n^+ 層、9、10...ソース電極、11...ドレイン電極、12...半導体層、13...絶縁層、14...ガラス基板、15...ゲート電極、16...ゲート絶縁膜、17... n^+ 層、18...ソース電極、19...ドレイン電極、20...半導体層、21...絶縁層。
以上

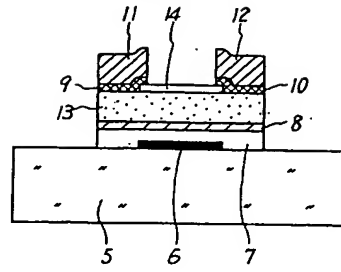
第1図(a)



第1図(b)



第2図



第3図

